

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-210837

(43)Date of publication of application : 22.08.1990

(51)Int.Cl. H01L 21/336
H01L 29/784

(21)Application number : 01-031513

(71)Applicant : NEC CORP

(22)Date of filing : 10.02.1989

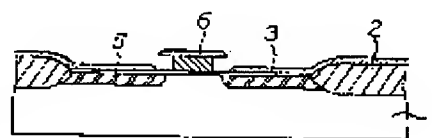
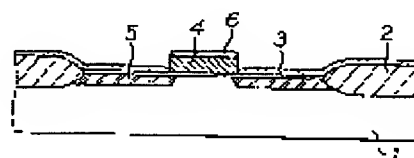
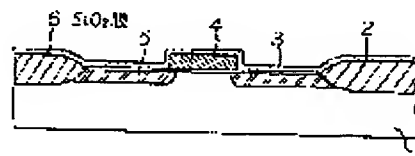
(72)Inventor : KUNIO TAKEMITSU

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To enable the dimension not exceeding the resolving power of an exposure device to be assured by a method wherein the pattern width formed by a conventional lithographic process and etching process is reduced by an etching away process from the sidewalls of the pattern.

CONSTITUTION: An element isolation region 2 and a gate oxide film 3 are formed on an Si substrate, furthermore, after depositing CVD polycrystalline Si, a gate electrode 4 is formed by a photolithographic process and a dryetching process and after forming source/drain regions 5, an SiO₂ film 6 is formed. At this time, the etching rate of the SiO₂ film 6 on the sidewalls of the vertically rising gate electrode 4 to HF etchant being higher than that of the SiO₂ film on the other positions, after etching away the SiO₂ film 6 only on the gate sidewalls using BHF, only the sidewalls of the gate electrode 4 are etched away using the etchant of poly-Si mainly composed of HF and HNO₃. Through these procedures, the dimension of the gate electrode 4 can be cut down.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 特許公報 (B 2)

(11) 特許番号

第 2 7 0 5 1 8 7 号

(45) 発行日 平成10年(1998)1月26日

(24) 登録日 平成9年(1997)10月9日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78
21/336

H 0 1 L 29/78 3 0 1 P

請求項の数 1

(全 3 頁)

(21) 出願番号 特願平 1 - 3 1 5 1 3

(22) 出願日 平成1年(1989)2月10日

(65) 公開番号 特開平 2 - 2 1 0 8 3 7

(43) 公開日 平成2年(1990)8月22日

(73) 特許権者 999999999

日本電気株式会社

東京都港区芝5丁目7番1号

(72) 発明者 國尾 武光

東京都港区芝5丁目33番1号 日本電気株式
会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

審査官 岡 和久

(54) 【発明の名称】 半導体素子製造方法

1

(57) 【特許請求の範囲】

【請求項 1】 フォトリソグラフィ工程及びエッチング工程によりパターンを形成した後、パターン側面に堆積された保護膜のエッチング速度がパターン上面に堆積させた保護膜のエッチング速度より速い成膜法によって保護膜を堆積し、前記保護膜に対するエッチング液にて側面保護膜のみをエッチングした後、前記パターンのみをエッチングするエッチング液にて前記パターンの側壁のみをエッチングすることを特徴とする半導体素子製造方法。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は半導体素子の製造方法に関する。

〔従来技術〕

従来より所定の寸法でパターンを形成する際、フォト

2

レジスト工程でフォトリソグラフィー自体を所定の寸法でパターンニングし、その寸法を可能な限り正確に他の膜に転写していた。この従来例として、柴田直他著、VLSIテクノロジー入門平凡社刊、1986年が掲げられる。一方、素子の微細化が進むに従ってその寸法は $0.5\mu\text{m}$ 以下となり、現状の光露光装置の解像度に近づいている。

【発明が解決しようとする課題】

しかしながら、今後とも素子特性向上のために微細化が進むことは有らからであり、光露光装置の解像度以下の寸法でパターンを形成する必要が生ずる。

本発明の目的は上記問題点を解決し、より微細なパターンを形成する半導体素子製造方法を提供することにある。

【課題を解決するための手段】

上記目的を達成するため、本発明による半導体素子製

10

3

造方法においては、フォトリソグラフィ工程及びエッチング工程によりパターンを形成した後、パターン側面に堆積された保護膜のエッチング速度がパターン上面に堆積させた保護膜のエッチング速度より速い成膜法によって保護膜を堆積し、前記保護膜に対するエッチング液にて側面保護膜のみをエッチングした後、前記パターンのみをエッチングするエッチング液にて前記パターンの側壁のみをエッチングするものである。

〔実施例〕

本発明についての一実施例を図面を参照して詳細に説明する。

本実施例ではMOS型電界効果トランジスタ（MOSFET）のゲート電極パターン形成方法を例として説明するが、他のパターン形成方法についても同様である。

第1図（a）はMOSFETのゲート電極形成後の断面構造を示している。以下にこの作製手順の概略を示す。まず、Si基板1にLOCOS分離法を用いて素子分離領域2を形成する。次に、ゲート酸化膜3を熱酸化法によって形成する。さらに、ゲート電極4用の材料としてCVD多結晶Siを堆積したのち、フォトリソグラフィ工程とドライエッチング工程とによってゲート電極4を形成する。この寸法は現状の光露光技術では $0.5\mu\text{m}$ 程度である。その後、イオン注入法によりソース・ドレイン領域5を形成する。次に第1図（b）に示すように、ECRプラズマCVD法により約 2000\AA の SiO_2 膜6を形成する。ECRプラズマCVD法により形成した SiO_2 膜6を形成する。ECRプラズマCVD法により形成した SiO_2 膜6の特徴は垂直に切り立ったゲート電極4の側壁に存在する SiO_2 膜6のHFエッチ

4

ング液に対する速度は他の部位の SiO_2 膜より速いことにある。この速度差は1:6BHFに対して約10倍以上である。この特徴を利用して第1図（c）のようにゲート側壁の SiO_2 膜6のみをBHFにてエッチング除去する。その後、HFと HNO_3 とを主成分とするpoly-Siのエッチング液にて第1図（d）に示すようにゲート電極4の側壁のみをエッチングする。これにより、ゲート電極4の寸法を縮小することが可能となる。次に、 SiO_2 膜6を除去した後、ゲート電極4とソース・ドレイン領域5との間の低濃度領域にイオン注入法によりソース・ドレイン領域7より薄い濃度のソース・ドレイン領域7を形成する。次に、第1図（e）のように SiO_2 膜8を約 5000\AA CVD法により形成したのち、コンタクト孔を開孔し、該コンタクト孔を通してソース・ドレインのAl電極9を形成し、半導体素子の製造を完了する。

〔発明の効果〕

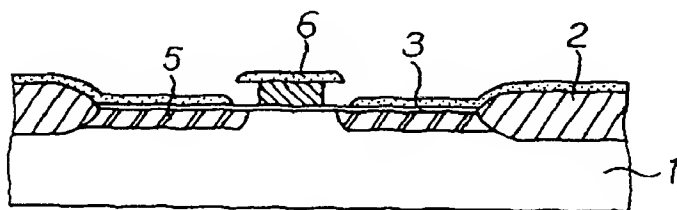
以上に説明したように本発明によれば、通常のフォトリソグラフィ工程とエッチング工程とにより形成したパターン幅をその側壁からのエッチングにより縮小することができ、本発明の方法を用いることにより、露光装置の解像度以下の寸法を形成することが可能となる。

【図面の簡単な説明】

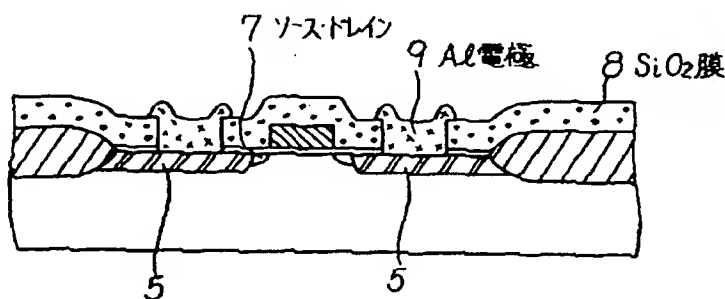
第1図（a）～（e）は本発明の一実施例を工程順に示す断面図である。

- 1 …… Si基板、2 …… 素子分離領域
- 3 …… ゲート酸化膜、4 …… ゲート電極
- 5, 7 …… ソース・ドレイン領域
- 6, 8 …… SiO_2 膜、9 …… Al電極

【第1図】



(d)



(e)

【第1図】

